

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168444

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01S 5/022
H01L 33/00
H01S 5/323

(21)Application number : 11-349757

(71)Applicant : SONY CORP

(22)Date of filing : 09.12.1999

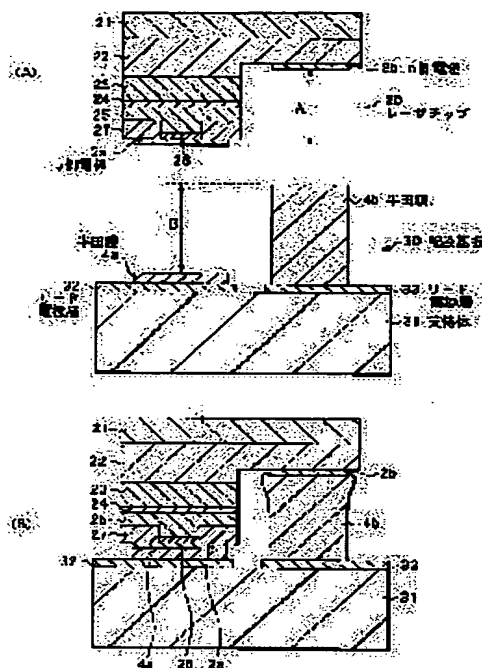
(72)Inventor : OZAWA MASABUMI

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT, AND MANUFACTURING METHOD INSTALLATION SUBSTRATE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor light-emitting element which can prevent occurrence of short circuits caused by the adhesion of solder, shape variations in emitted light, and decline in its light output, a method of manufacturing the element, and an installation substrate used for the element.

SOLUTION: A semiconductor laser element 1 is manufactured by sticking a laser chip 20, constituted by forming a p-side electrode 2a and an n-side electrode 2b on a crystalline substrate 21 to an installation substrate 30, constituted by forming first and second solder films 3a and 3b on a support body 31. The chip 20 has a step A that has the electrode 2a protruded more than the electrode 2b. The substrate 30 has a step B where a first solder film 4a protrudes more than the second solder film 4b and is higher than the step A. At sticking of the chip 20 to the substrate 30, consequently the electrode 2b first comes into contact with the second solder film 4b, and thereafter, the electrode 2b comes in to contact with the second solder film 4b. Accordingly, the protrusion of solder is less likely to occur near the electrode 2a, even if the protrusion of solder occurs near the electrode 2b. Since a p-n junction is generally provided near the electrode 2a, the adhesion of solder to the junction is suppressed.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-168444

(P 2 0 0 1 - 1 6 8 4 4 4 A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01S 5/022		H01S 5/022	5F041
H01L 33/00		H01L 33/00	N 5F073
			E
			C
H01S 5/323		H01S 5/323	
審査請求 未請求 請求項の数18 O L (全12頁)			

(21) 出願番号 特願平11-349757

(22) 出願日 平成11年12月9日 (1999.12.9)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小沢 正文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100098785

弁理士 藤島 洋一郎

Fターム(参考) 5F041 AA40 CA34 CA40 CA46 CA93

DA03 DA04 DA19 DA33 DA34

DA35

5F073 AA13 AA83 CA07 CB20 CB22

CB23 DA05 EA29 FA22 FA27

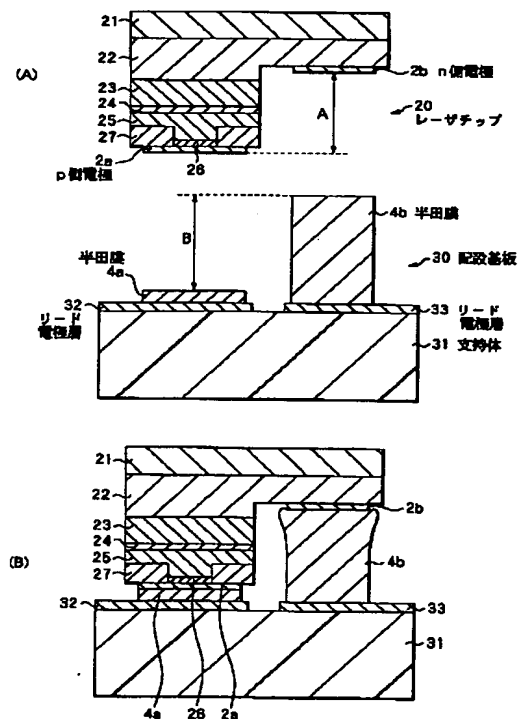
FA28

(54) 【発明の名称】 半導体発光素子、その製造方法および配設基板

(57) 【要約】

【課題】 半田の付着に起因するショート、光形状の変化、および光出力の低下を防止することができる半導体発光素子、その製造方法および配設基板を提供する。

【課題手段】 結晶基板21にp側電極2aおよびn側電極2bを形成してなるレーザチップ20と、支持体31に第1半田膜3aおよび第2半田膜3bを形成してなる配設基板30とを貼り合わせ、半導体レーザ素子1を製造する。レーザチップ20は、p側電極2aがn側電極2bより突出するような段差Aを有している。配設基板30は、第1半田膜4aが第2半田膜4bより突出するような段差Bを有している。配設基板30の段差Bはレーザチップ20の段差Aよりも大きく設定されている。これにより、上記の貼り合わせの際には、まずn側電極2bが第2半田膜4bに接し、そののち、p側電極2aが第1半田膜4aに接する。従って、n側電極2bの近傍では半田のはみ出しは生じても、p側電極2aの近傍では半田のはみ出しが生じにくくなる。pn接合部は一般にp側電極2aの近傍に設けられるため、このpn接合部への半田の付着が抑制される。



【特許請求の範囲】

【請求項 1】 基体の同一面側に第 1 の電極膜および第 2 の電極膜を形成してなる半導体チップを含む半導体発光素子を製造する方法であって、

前記半導体チップの前記第 1 の電極膜および前記第 2 の電極膜を、それぞれ第 1 の半田膜および第 2 の半田膜を介して所定の支持体に貼り合わせる工程を含むと共に、前記半導体チップにおいて、前記第 1 の電極膜の表面が前記第 2 の電極膜の表面よりも突出するようにし、前記貼り合わせ工程において、前記第 1 の半田膜の変形量よりも、前記第 2 の半田膜の変形量の方が大きくなるようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 2】 基体の同一面側に第 1 の電極膜および第 2 の電極膜を形成してなる半導体チップと、支持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなる配設基板とを含む半導体発光素子を製造する方法であって、

前記半導体チップの前記第 1 の電極膜および前記第 2 の電極膜を、前記配設基板の前記第 1 の半田膜および前記第 2 の半田膜にそれぞれ貼り合わせる工程を含むと共に、

前記半導体チップにおいて、前記第 1 の電極膜の表面と前記第 2 の電極膜の表面との間に、前記第 1 の電極膜の表面が前記第 2 の電極膜の表面よりも突出するような段差を設けるようにし、

前記配設基板において、前記第 1 の半田膜の表面と前記第 2 の半田膜の表面との間に、前記第 1 の半田膜の表面が前記第 2 の半田膜の表面よりも突出するような段差を設けるようにし、

前記配設基板における前記段差が前記半導体チップにおける前記段差よりも大きくなるようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 3】 前記半導体チップにおける前記段差を A とし、前記配設基板における前記段差を B とすると、

$$1. \quad 2 \leq B/A \leq 3$$

の関係が成立するようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 4】 前記半導体チップにおける前記段差を A とし、前記配設基板における前記段差を B とすると、

$$1. \quad 3 \leq B/A \leq 2.5$$

の関係が成立するようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 5】 前記支持体は平坦面を有しており、前記第 1 の半田膜および第 2 の半田膜はその平坦面上に形成されており、

前記第 1 の半田膜および第 2 の半田膜の厚さが互いに異なるようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 6】 前記第 1 の半田膜および第 2 の半田膜の

それぞれと前記支持体との間に、第 1 のリード電極層および第 2 のリード電極層をそれぞれ形成するようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 7】 前記支持体において、前記第 1 の半田膜の近傍箇所に溝部を形成するようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 8】 前記半導体チップを、光共振器を有するレーザチップとして構成し、

前記第 1 の電極膜と前記第 1 の半田膜との接触面における前記第 1 の半田膜の輪郭線が、少なくとも、前記光共振器における共振方向と垂直な方向において、前記第 1 の電極膜の輪郭線よりも内側に位置するようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 9】 基体の同一面側に第 1 の電極膜および第 2 の電極膜が形成され、かつ、前記第 1 の電極膜の表面と前記第 2 の電極膜の表面との間に、前記第 1 の電極膜の表面が前記第 2 の電極膜の表面よりも突出するような段差を有する半導体チップに貼り合わせて用いられる配設基板であって、

支持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなり、

前記第 1 の半田膜の表面と前記第 2 の半田膜の表面との間に、前記第 1 の半田膜の表面が前記第 2 の半田膜の表面よりも突出するような段差が形成され、

前記配設基板における前記段差が前記半導体チップにおける前記段差よりも大きいことを特徴とする配設基板。

【請求項 10】 前記半導体チップにおける前記所定の段差を A とし、

前記配設基板における前記段差を B とすると、

$$1. \quad 2 \leq B/A \leq 3$$

の関係が成立することを特徴とする請求項 9 記載の配設基板。

【請求項 11】 前記半導体チップにおける前記所定の段差を A とし、

前記配設基板における前記段差を B とすると、

$$1. \quad 3 \leq B/A \leq 2.5$$

の関係が成立することを特徴とする請求項 9 記載の配設基板。

【請求項 12】 前記支持体は平坦面を有しており、前記第 1 の半田膜および前記第 2 の半田膜はその平坦面上に形成されており、

前記第 1 の半田膜および前記第 2 の半田膜は互いに異なる厚さを有していることを特徴とする請求項 9 記載の配設基板。

【請求項 13】 基体の同一面側に第 1 の電極膜および第 2 の電極膜を形成してなる半導体チップと、支持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなる配設基板とを含む半導体発光素子であって、

前記半導体チップは、前記第 1 の電極膜の表面と前記第 2 の電極膜の表面との間に、前記第 1 の電極膜の表面が前記第 2 の電極膜の表面よりも突出するような段差を有しており、

前記配設基板は、前記第 1 の半田膜の表面と前記第 2 の半田膜の表面との間に、前記第 1 の半田膜の表面が前記第 2 の半田膜の表面よりも突出するような段差を有しており、

前記支持体において、前記第 1 の半田膜を挟んで前記第 2 の半田膜とは反対の側に、溝部が形成されていることを特徴とする半導体発光素子。 10

【請求項 1 4】 前記第 1 の半田膜および第 2 の半田膜のそれぞれと前記支持体との間に、第 1 のリード電極層および第 2 のリード電極層がそれぞれ形成されていることを特徴とする請求項 1 3 記載の半導体発光素子。

【請求項 1 5】 前記第 1 のリード電極層が、前記溝部の内部まで連続して形成されていることを特徴とする請求項 1 4 記載の半導体発光素子。

【請求項 1 6】 支持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなる配設基板であって、 20 前記第 1 の半田膜の表面と前記第 2 の半田膜の表面との間に、前記第 1 の半田膜の表面が前記第 2 の半田膜の表面よりも突出するような段差を有しており、前記支持体において、前記第 1 の半田膜を挟んで前記第 2 の半田膜とは反対の側に、溝部が形成されていることを特徴とする配設基板。

【請求項 1 7】 基体の同一面側に第 1 の電極膜および第 2 の電極膜を形成してなる半導体チップと、支持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなる配設基板とを備えた半導体発光素子の製造方法であ 30 って、

前記半導体チップの前記第 1 の電極膜および前記第 2 の電極膜を、前記配設基板の前記第 1 の半田膜および前記第 2 の半田膜にそれぞれ貼り合わせる工程を含むと共に、

前記半導体チップにおいては、前記第 1 の電極膜の表面と前記第 2 の電極膜の表面との間に、前記第 1 の電極膜の表面が前記第 2 の電極膜の表面よりも突出するような段差を設けるようにし、

前記配設基板においては、前記第 1 の半田膜の表面と前記第 2 の半田膜の表面との間に、前記第 1 の半田膜の表面が前記第 2 の半田膜の表面よりも突出するような段差を設けるようにし、 40

前記第 1 の電極膜と前記第 1 の半田膜の接触面における前記第 1 の半田膜の輪郭線が、前記接触面における前記第 1 の電極膜の輪郭線よりも、少なくとも一方向において内側に位置するようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 1 8】 前記半導体チップを、光共振器を有するレーザチップとして構成し、 50

前記第 1 の電極膜と前記第 1 の半田膜との接触面における前記第 1 の半田膜の輪郭線が、少なくとも、前記光共振器における共振方向と垂直な方向において、前記第 1 の電極膜の輪郭線よりも内側に位置するようにしたことを特徴とする請求項 1 7 記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、基体の同一面側に一対の電極膜を備えて構成された半導体チップを含む半導体発光素子、その半導体発光素子の製造方法、およびその製造方法で用いられる配設基板に関するものである。

【0 0 0 2】

【従来の技術】 近年、短波長光の光源として、例えば GaN などの窒化物半導体を用いた半導体レーザ素子などを有する半導体発光装置が開発されている。一般に、窒化物半導体を用いた半導体発光素子では、サファイア (Al₂O₃) などの絶縁基板上に、窒化物半導体からなる n 型層、活性層および p 型層が順に積層形成されている。半導体発光素子の一対の電極膜のうち、p 側電極は半導体層の最上層である p 型層上に形成され、n 側電極は p 型層と活性層のエッチングにより露出した n 型層上に形成される。ここでは、絶縁基板、半導体層、p 側電極および n 側電極を合わせて半導体チップと呼ぶ。

【0 0 0 3】 半導体発光装置では、半導体チップは、サブマウントと呼ばれる配設基板に載置されている。半導体層で発生した熱を効率的に放散できるよう、半導体チップは、その半導体層側を配設基板に対向させた状態で、配設基板に載置されている。この配設基板において、半導体チップが載置される面には一対のリード電極層が形成されており、そのリード電極層の上には半田膜が形成されている。半導体チップを配設基板上に載置すると、半導体チップの p 側電極と n 側電極がそれぞれ半田膜を介して一対のリード電極層にそれぞれ接するようになっている。

【0 0 0 4】

【発明が解決しようとする課題】 しかしながら、従来の半導体発光素子では、半導体チップを配設基板に装着するとき、半導体チップの p 側電極および n 側電極により押圧された半田膜が半導体層の側面に押し出され、半導体チップの p n 接合部に付着する可能性があり、ショートの原因となるという問題がある。

【0 0 0 5】 また、押し出された半田は、半導体チップのレーザ光の射出部分の近傍に付着することもある。このような場合には、レーザ光の形状が変化してしまう上、光出力が低下する。このようにレーザ光の形状が変化すると、特に、この半導体発光装置が光ディスク装置などに適用された場合には、トラッキング精度の低下につながるとい問題がある。また、レーザ光の光出力が

低下すると、定格出力を得るために多量の電流を半導体チップに流さなければならないことから、発熱量の増大を招くという問題がある。

【0006】本発明は、かかる問題点に鑑みてなされたもので、その目的は、半田の付着に起因する p n 接合部のショート、光形状の変化、および光出力の低下を防止することができる半導体発光素子、その製造方法および配設基板を提供することにある。

【0007】

【課題を解決するための手段】本発明による半導体発光素子の製造方法は、半導体チップの第 1 の電極膜および第 2 の電極膜をそれぞれ第 1 の半田膜および第 2 の半田膜を介して所定の支持体に貼り合わせる工程を含むと共に、半導体チップにおいて、第 1 の電極膜の表面が第 2 の電極膜の表面よりも突出するようにし、第 1 の半田膜の変形量よりも第 2 の半田膜の変形量の方が大きくなるようにしたことを特徴とするものである。

【0008】また、本発明による他の半導体発光素子の製造方法は、半導体チップの第 1 の電極膜および第 2 の電極膜を配設基板の第 1 の半田膜および第 2 の半田膜にそれぞれ貼り合わせる工程を含むと共に、半導体チップにおいて、第 1 の電極膜の表面と第 2 の電極膜の表面との間に、第 1 の電極膜の表面が第 2 の電極膜の表面よりも突出するような段差を設けるようにし、配設基板において、第 1 の半田膜の表面と第 2 の半田膜の表面との間に、第 1 の半田膜の表面が第 2 の半田膜の表面よりも突出するような段差を設けるようにし、配設基板における段差が半導体チップにおける段差よりも大きくなるようにしたことを特徴とするものである。

【0009】本発明による配設基板は、支持体と、この支持体の同一面側に形成した第 1 の半田膜および第 2 の半田膜とを備えと共に、第 1 の半田膜の表面と第 2 の半田膜の表面との間に、第 1 の半田膜の表面が第 2 の半田膜の表面よりも突出するような段差が形成され、この段差が半導体チップにおける段差よりも大きくなるようにしたものである。

【0010】また、本発明による半導体発光素子は、基体の同一面側に第 1 の電極膜および第 2 の電極膜を形成してなる半導体チップと、支持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなる配設基板とを含むものであって、半導体チップは、第 1 の電極膜の表面と第 2 の電極膜の表面との間に、第 1 の電極膜の表面が第 2 の電極膜の表面よりも突出するような段差を有しており、配設基板は、第 1 の半田膜の表面と第 2 の半田膜の表面との間に、第 1 の半田膜の表面が第 2 の半田膜の表面よりも突出するような段差を有しており、支持体において、第 1 の半田膜を挟んで第 2 の半田膜とは反対の側に溝部が形成されていることを特徴とするものである。

【0011】さらに、本発明による他の配設基板は、支

持体の同一面側に第 1 の半田膜および第 2 の半田膜を形成してなるものであって、第 1 の半田膜の表面と第 2 の半田膜の表面との間に、第 1 の半田膜の表面が第 2 の半田膜の支持体の表面よりも突出するような段差を有しており、支持体において、第 1 の半田膜を挟んで第 2 の半田膜とは反対の側に溝部が形成されていることを特徴とするものである。

【0012】さらに、本発明による他の半導体発光素子の製造方法は、半導体チップの第 1 の電極膜および第 2 の電極膜を配設基板の第 1 の半田膜および第 2 の半田膜にそれぞれ貼り合わせる工程を含むと共に、前記半導体チップは第 1 の電極膜の表面が第 2 の電極膜の表面よりも突出するような段差を有しており、配設基板は第 1 の半田膜の表面が第 2 の半田膜の表面よりも突出するような段差を有しており、第 1 の電極膜と第 1 の半田膜の接触面における第 1 の半田膜の輪郭線が、接触面における第 1 の電極膜の輪郭線よりも、少なくとも一方向において内側に位置しているものである。

【0013】本発明による半導体発光素子の製造方法、他の半導体発光素子の製造方法、または配設基板では、半導体チップと配設基板とを貼り合わせると、第 2 の電極膜と第 2 の半田膜とが接触したのち、第 1 の電極膜と第 1 の半田膜とが接触する。従って、第 2 の半田膜の半田のはみ出しは生じても、第 1 の半田膜の半田のはみ出しは抑制される。半導体チップの p n 接合部は、突出量の大きい第 1 の電極側に設けられるのが一般的であるため、p n 接合部への半田の付着は防止される。

【0014】本発明による半導体発光素子または他の配設基板では、支持体において、第 1 の半田膜を挟んで第 2 の半田膜と反対の側に溝部が形成されているため、第 1 の半田膜の半田がはみ出した場合でも、その半田が溝部に流れ込むため、（一般に、第 1 の電極膜近傍に設けられる）p n 接合部への半田の付着が抑制される。

【0015】本発明による他の半導体発光素子の製造方法では、第 1 の電極膜と第 1 の半田膜の接触面における第 1 の半田膜の輪郭線が、第 1 の電極膜の輪郭線よりも（少なくとも一方向において）内側に位置しているため、第 1 の半田膜が押圧されても、その半田が電極膜の輪郭線よりも外側まではみ出しにくくなり、従って、半導体チップの p n 接合部への半田膜の付着が抑制される。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0017】〔第 1 の実施の形態〕図 1 は、第 1 の実施の形態に係る半導体レーザ素子 1 が用いられた半導体発光装置 100 の一例を表す図である。半導体発光装置 100 は、所定形状のパッケージ 10 の内部に半導体レーザ素子 1 を備えて構成されている。パッケージ 10 は、円板形状の支持ディスク 11 と、この支持ディスク 11

に取り付けられる円筒形状の蓋体 12 とを有している。蓋体 12 の長手方向一端面は閉塞されているが、その一端面には半導体レーザ素子 1 から射出されたレーザビームをパッケージ 10 外に取り出すための窓 12a が形成されている。蓋体 12 は、例えば銅 (Cu) または鉄 (Fe) などの金属により構成されており、窓 12a は透明なガラスあるいは樹脂により構成されている。ここで、半導体レーザ素子 1 は、本発明における「半導体発光素子」に対応する。

【0018】支持ディスク 11 は、銅または鉄などの金属により構成されており、その表面 (図 1 における前面) には、例えば直方体形状の載置板 15 が一体に形成されている。半導体レーザ素子 1 は、載置板 15 上に固定された板状部材である配設基板 30 と、その上に設けられたレーザチップ 20 とを備えて構成されている。載置板 15 および配設基板 30 は、レーザチップ 20 を支持するとともに、レーザチップ 20 の熱を放散する役割を有している。支持ディスク 11 には、支持ディスク 11 に対して絶縁性が保たれた一対のピン 17、18 が設けられており、後述するリード電極層 32、33 にそれぞれワイヤ W を介して接続されている。なお、載置板 15 はヒートシンク、配設基板 30 はサブマウントとも呼ばれる。ここで、レーザチップ 20 は、本発明における「半導体チップ」の一具体例に対応する。また、配設基板 30 は本発明における「配設基板」の一具体例に対応する。

【0019】図 2 は、本実施の形態に係る半導体レーザ素子のレーザチップ 20 の構造を表す断面図である。レーザチップ 20 は、サファイア (Al_2O_3) からなる結晶基板 21 を有している。なお、結晶基板 21 としては、サファイアその他、スピネル ($MgAl_2O_4$)、窒化ガリウム (GaN)、ケイ素 (Si) あるいは炭化ケイ素 (SiC) を用いて形成しても良い。結晶基板 21 の表面には、例えばケイ素などの n 型不純物をドーピングされた n 型 GaN からなる n 型コンタクト層 22 が形成されている。n 型コンタクト層 22 の厚さは、例えば、約 $4\mu m$ である。n 型コンタクト層 22 の表面には、ケイ素などの n 型不純物をドーピングされた n 型 $AlGaN$ からなる n 型クラッド層 23 が形成されている。n 型クラッド層 23 の厚さは、例えば、約 $1.2\mu m$ である。

【0020】n 型クラッド層 23 の表面には、 $InGaN$ により構成された活性層 24 が形成されている。活性層 24 は、例えば光閉じ込め層を有して構成されるもので、いわゆる発光層として機能するものである。活性層 24 の表面には、Mg などの p 型不純物をドーピングした p 型 $AlGaN$ からなる p 型クラッド層 25 が形成されている。p 型クラッド層 25 の厚さは、例えば約 $0.8\mu m$ である。p 型クラッド層 25 の表面には、例えば、Mg などの p 型不純物をドーピングした p 型 GaN からなる p 型コンタクト層 26 が形成されている。p 型コンタクト

層 26 の厚さは、例えば約 $0.3\mu m$ である。p 型クラッド層 25 および p 型コンタクト層 26 の一部はエッチングにより除去されており、p 型クラッド層 25 およびコンタクト層 26 を挟み込むように、酸化ケイ素、アルミナなどの絶縁膜からなる狭窄層 27 が設けられている。

【0021】p 型コンタクト層 26 の表面には、p 側電極 2a が形成されている。p 側電極 2a は、例えば、p 型コンタクト層 26 の側からニッケル (Ni) 層と金 (Au) 層とを順次積層して加熱処理により合金化したものである。n 型コンタクト層 22、n 型クラッド層 23、活性層 24、p 型クラッド層 25 および p 型コンタクト層 26 は、エッチングにより部分的に除去されており、n 型コンタクト層 22 の一部が露出している。この n 型コンタクト層 22 の露出表面に n 側電極 2b が形成されている。n 側電極 2b は、例えば、n 型コンタクト層 22 から順にチタン (Ti) 層、アルミニウム (Al) 層および金層を積層して加熱処理により合金化したものである。p 側電極 2a および n 側電極 2b は、いずれも、図 2 において紙面に垂直な方向に帯状に長く形成されている。

【0022】p 側電極 2a の表面および n 側電極 2b の表面は、いずれも、結晶基板 21 の表面に対して平行であり、p 側電極 2a が n 側電極 2b よりも例えば $2.7\mu m$ 突出している。すなわち、p 側電極 2a の表面と側電極 2b の表面 b との図中符号 A で示した段差は、例えば $2.7\mu m$ となる。ここで、p 側電極 2a は、本発明における「第 1 の電極膜」の一具体例に対応し、n 側電極 2b は、本発明における「第 2 の電極膜」の一具体例に対応する。

【0023】レーザチップ 20 は、図 2 において紙面に垂直な方向における両端部に、一対の図示しない反射鏡膜を有している。この反射鏡膜は、例えば二酸化ケイ素膜と酸化ジルコニウム (ZrO) 膜とを交互に積層した構造を有し、一方の反射鏡膜の反射率が他方の反射鏡の反射率よりも低くなるようになっている。活性層 24 において発生した光は、一対の反射鏡膜の間を往復して増幅されたのち、一方の反射鏡膜からレーザビームとして射出されるようになっている。

【0024】図 3 は、配設基板 30 の構造を表す断面図である。配設基板 30 は、直方体形状を有する板状部材である支持体 31 上に、リード電極層 32、33 および半田膜 4a、4b を形成してなるものである。支持体 31 は、絶縁性があり、かつ、熱伝導率の高い材料が選択され、例えばダイヤモンド、酸化ベリリウム (BeO)、銅-タングステン合金 (CuW)、窒化アルミニウム (AlN)、六方晶窒化ホウ素 (cBN)、ケイ素 (Si) あるいは炭化ケイ素 (SiC) により構成されている。配設基板 30 の寸法は、例えば、厚さが $2.00\mu m$ であり、幅 (図中左右方向の長さ) が $0.6mm$ 、

奥行（図中奥行方向の長さ）は1mmである。

【0025】支持体31の上面は平滑面となっており、その平滑面上には、例えば厚さが10 μ mの一对のリード電極層32、33が形成されている。リード電極層32、33は、金または金-錫合金などにより構成することができる。あるいは、リード電極層32、33は、配設基板30側から順にチタン層、白金層および金層を積層した構造としても良い。このリード電極層32、33は、図1に示したように、支持ディスク11（図1）に設けられたピン17、18（図1）とそれぞれワイヤWにより電氣的に接続されている。両リード電極層32、33の間には、約50 μ mの間隔が設けられている。ここで、リード電極層32、33は、本発明における「第1のリード電極層」および「第2のリード膜」の具体例にそれぞれ対応する。

【0026】配設基板30のリード電極層32、33の上には、第1半田膜4aおよび第2半田膜4bが形成されている。第1半田膜4aおよび第2半田膜4bは、いずれも、錫、金-錫合金、錫-白金合金（SnPt）、インジウム-錫合金（InSn）、インジウム（In）などの低融点金属により形成されている。第1半田膜4aの厚さは3.5 μ mであり、第2半田膜4bの厚さは7 μ mである。すなわち、第1半田膜4aの表面と第2半田膜4bの表面との段差Bは3.5 μ mになる。ここで、第1半田膜4aおよび第2半田膜4bは、本発明における「第1の半田膜」および「第2の半田膜」の具体例にそれぞれ対応する。

【0027】〔半導体レーザ素子の製造方法〕次に、本実施の形態に係る半導体レーザ素子の製造方法について説明する。

【0028】まず、図2に示したように、例えばサファイアよりなる結晶基板21の表面に、例えばMOCVD（Metal Organic Chemical Vapor Deposition）法により、n型GaNよりなるn側コンタクト層22、n型AlGaNよりなるn型クラッド層23、GaInNよりなる活性層24、p型AlGaNよりなるp型クラッド層25およびp型GaNよりなるp側コンタクト層26を順次成長させる。

【0029】n側コンタクト層22からp側コンタクト層26までの各層を成長させたのち、リソグラフィ法を用いてp型コンタクト層26とp型クラッド層25を一部エッチング除去し、そこに、例えば絶縁材料からなる狭窄層27を形成する。続いて、リソグラフィ法により、p側コンタクト層26、p型クラッド層25、活性層24、およびn型クラッド層23を選択的に除去し、n側コンタクト層22を露出させる。そののち、n側コンタクト層22の露出部分上にn側電極2bを選択的に形成する。n側電極2bを形成したのち、p側コンタクト層26の上にp側電極2aを選択的に形成する。

【0030】p側電極2aおよびn側電極2bをそれぞれ

れ形成したのち、結晶基板21をp側電極2aの長さ方向（図2における紙面に直交する方向）に対して垂直に所定の幅で分割する。そののち、分割した一对の側面に、一对の反射鏡膜をそれぞれ形成する。各反射鏡膜をそれぞれ形成したのち、結晶基板21をp側電極2aの長さ方向と平行に所定の幅で分割する。これにより、レーザチップが形成される。このレーザチップのp側電極2aの表面とn側電極2bの表面との間には、図2に示したように、段差A（2.7 μ m）が形成されている。

【0031】次いで、支持体31の表面に、リード電極層32、33をメッキ、スパッタ法あるいは蒸着法により形成する。続いて、リード電極層32、33の表面に、第1半田膜4aおよび第2半田膜4bを蒸着法などにより形成する。これにより、配設基板30が形成される。この配設基板30の第1半田膜4aの表面と第2半田膜4bの表面との間には、段差B（3.2 μ m）が形成されている。

【0032】続いて、図4（A）に示したように、レーザチップ20を上下反転させた状態で配設基板30に重ね合わせ、p側電極2aおよびn側電極2bを第1半田膜4aおよび第2半田膜4bにそれぞれ接触させる。次に、図示しない加圧装置によって、レーザチップ20と配設基板30とを例えば5gの押圧力で加圧する。この加圧は、レーザチップ20の底面（図4では上面）と配設基板30の底面との平行状態を保ちつつ行う。さらに、図示しない加熱装置を用いて第1半田膜4aおよび第2半田膜4bを例えば約280℃に加熱し軟化させる。この加熱は、第1半田膜4aおよび第2半田膜4bの酸化を防止するために、窒素ガス（N₂）あるいは水素ガス（H₂）またはそれらの混合ガスの雰囲気中において行うことが好ましい。

【0033】ここで、配設基板30における段差B（3.5 μ m）がレーザチップ20における段差A（2.7 μ m）よりも大きいため、レーザチップ20と配設基板30とを重ね合わせて加圧すると、最初にn側電極2bが第2半田膜4bに接し、そののちp側電極2aが第1半田膜4aに接する。すなわち、第1半田膜4aの（加圧方向における）変形量は、第2半田膜4bの変形量よりも小さい。そのため、図4（B）に示したように、n側電極2bの近傍における第2半田膜4bのはみ出しは生じても、p側電極2aの近傍における第1半田膜4aのはみ出しは抑えられる。このようにして、図4（B）に示したように、配設基板30とレーザチップ20とが貼り合わせられる。また、p側電極2aとリード電極層32が接続され、n側電極2bとリード電極層33が電氣的に接続される。

【0034】配設基板30とレーザチップ20との貼り合わせが完了したのち、配設基板30の裏面（すなわち、レーザチップ20側の面と反対の面）を、支持ディスク11（図1）と一体に形成された載置板15に、例

えば半田付けにより接着する。続いて、配設基板30のリード電極層32とピン17とをワイヤWで接続し、リード電極層33とピン18とをワイヤWで接続する。最後に、別途形成した蓋体12を支持ディスク11に配設する。これにより、図1に示した半導体発光装置100が形成される。

【0035】〔実施の形態の効果〕次に、本実施の形態の効果について説明する。図4(A)および(B)に示したように、配設基板30における段差B(3.5μm)がレーザチップ20における段差A(2.7μm)よりも大きいため、レーザチップ20と配設基板30とを平行に重ね合わせて加熱すると、最初にn側電極2bが第2半田膜4bに接し、そののち、p側電極2aが第1半田膜4aに接する。従って、n側電極2bに対向する第2半田膜4bが外部にはみ出すことはあっても、p側電極2aに対向する第1半田膜4aの外部へのはみ出しは抑えられる。pn接合部(すなわち、n型クラッド層23、活性層24およびp型クラッド層25の積層部分)はp側電極2aの近傍に設けられているため、p側電極2aの側における第1半田膜4aのはみ出しが生じなければ、pn接合部のショートが生じることは無い。

【0036】図5は、レーザチップ20における段差Aと配設基板30における段差Bの比とショート不良との関係を表す特性図である。ここでは、レーザチップ20における段差Aと配設基板30における段差Bの比を変えて複数の半導体レーザ素子1を形成し、それぞれについてショート不良についての歩留まりを調べたものである。図5において、歩留まり100%とは、ショート不良が全く発生しなかったことを意味する。

【0037】図5から、レーザチップ20の段差Aに対する配設基板30の段差Bの比、すなわち B/A が1を越えると、歩留まりが大幅に向上している(すなわち、ショート不良の発生が大幅に減少している)ことが分かる。これは、 B/A が1より大きいときには、図4

(B)に示したように、p側電極2a側の側における第1半田膜4aのはみ出しが生じにくいためである。

【0038】この技術分野においては、pn接合部のショートに起因する不良については、一般に80%以上の歩留まりが必要とされる。そのため、図5から、

$$1.2 \leq B/A \leq 3$$

であることがより望ましい。なお、上限の3という値は、 B/A がこれ以上大きくなると、n側電極51の近傍に多量の半田が押し出され、好ましくないという理由で定めたものである。

【0039】なお、ショート不良に関する歩留まりとして90%以上が要求される場合には、図5から、

$$1.3 \leq B/A \leq 2.5$$

であることが望ましい。

【0040】以上説明したように、本実施の形態によれば、第1半田膜4aと第2半田膜4bとの段差をp側電

極2aとn側電極2bとの段差よりも大きくしたので、第2半田膜4bがはみ出すことはあっても、第1半田膜4aのはみ出しは生じにくくなり、従って、半田のはみ出しに伴うpn接合部のショートの発生を抑えることが可能になる。また、p側電極2aの近傍の半田のはみ出しが防止されることから、レーザ光の発光部への半田の付着に起因するビーム形状変化、ビーム強度の低下などの問題も無くなる。

【0041】また、レーザチップ20の段差Aに対する配設基板30の段差Bの比(B/A)を1.2以上3以下とすれば、pn接合部のショート歩留まりを80%以上にすることができる。さらに、この比を1.3以上2.5以下とすれば、pn接合部のショート歩留まりを90%以上にすることができる。

【0042】加えて、本実施の形態では、配設基板30の表面を平坦面とし、リード電極層32、33を互いに同じ厚さにして、第1半田膜4aおよび第2半田膜4bの厚さのみで配設基板30における段差Bを決めるようにしたため、簡単な方法で、段差Bを決めることができる。なお、配設基板30の表面自体に段差部分を設けたり、リード電極32、33の厚さを違えたりすることも可能である。また、半田膜を2層以上の積層膜とし、特定の一層の厚さを変えるようにしても良い。さらに、本実施の形態では、第1半田膜4aおよび第2半田膜4bを配設基板30に設けたが、レーザチップのp側電極2aとn側電極2bに設けるようにしても良い。

【0043】〔変形例〕図6は、第1の実施の形態におけるレーザチップの変形例を表す図である。図6に示したレーザチップ20Aは、p側電極および狭窄層の形状を除いて、第1の実施形態のレーザチップ20と同様に構成されている。以下、第1の実施の形態と同一の構成要素には同一の符号を付し、その詳細説明は省略する。変形例に係る狭窄層28は、p型コンタクト層26およびp型クラッド層25がエッチングにより除去された部分に形成されているが、この狭窄層28は、その上面がp型コンタクト層26に達しないような厚さに形成されている。すなわち、p型コンタクト層26が狭窄層28よりも上方に突出した構造になる。また、この変形例におけるp側電極29は、突出したp型コンタクト層26およびその両側の狭窄層28の上面を覆うように形成される。

【0044】レーザチップ20Aを、図4に示した配設基板30に貼り合わせることににより、図1に示したような半導体レーザ素子を得ることができる。この変形例においても、レーザチップ20Aの段差(p側電極29の最上面とn側電極28の上面との段差)Aよりも配設基板30(図4)における第1半田膜4aと第2半田膜4bとの段差Bを大きくすれば、pn接合部におけるショートの発生を防止することが可能になる。

【0045】〔第2の実施の形態〕次に、本発明の第2

の実施の形態について説明する。図 7 は、本実施の形態に係る半導体レーザ素子の要部を表す断面図である。本実施の形態では、配設基板 30A の構成が異なる以外は、第 1 の実施の形態と同様である。以下、第 1 の実施の形態と同一の構成要素には同一の符号を付し、その詳細説明は省略する。

【0046】図 7 に示したように、配設基板 30A の表面において、p 側電極 2a と対向する第 1 半田膜 4a の近傍には溝 45 が形成されている。溝 45 の形成位置は、両半田膜 4a、4b の間ではなく、第 1 半田膜 4a を挟んで第 2 半田膜 4b と反対の側に形成されている。溝 45 は、深さが $50\mu\text{m}$ 、幅が $100\mu\text{m}$ であり、p 側電極 2a の延出方向（図中 Y 方向）と平行に、すなわち図 7 では紙面に垂直な方向に長く形成されている。溝 45 は、例えばダイシングソーなどにより形成することができる。第 1 半田膜 4a の下部に位置するリード電極層 32 は、溝 45 の内部まで、ほぼ一定の厚さで連続して形成されている。ここで、溝 45 は、本発明における「溝」の一具体例に対応する。

【0047】支持体 31 の表面と平行で且つ p 側電極 2a の延出方向（図中 Y 方向）に直交する方向を X 方向と定義すると、X 方向において、（リード電極層 32 により覆われた）溝 45 の 2 つの側壁 d の間にレーザチップ 20 の側端面 c が位置するようになっている。従って、仮に p 側電極 2a に対向する第 1 半田膜 4a のはみ出しがあったとしても、はみ出した半田は、レーザチップ 20 の p n 接合部に向かわずに、リード電極層 32 に沿って溝 45 の中に流れ込む。これにより、半田のレーザチップ 20 の p n 接合部への付着がさらに抑制される。

【0048】このように、本実施の形態では、配設基板 30 において、p 側電極 2a に対向する第 1 半田膜 41 の傍に溝 45 を形成したため、仮に p 側電極 2a の側から半田のはみ出しがあったとしても、はみ出した半田の p n 接合部への付着がさらに確実に抑制される。従って、第 1 の実施の形態よりも、さらにショート不良の発生を抑制することが可能になる。加えて、第 1 半田膜 4a の下のリード電極層 32 を溝 45 内にまで連続して形成したため、はみ出した半田を溝 45 の内部に効率的に導くことができる。

【0049】なお、本実施の形態は、配設基板 30 の第 1 半田膜 4a と第 2 半田膜 4b との段差 B が、レーザチップ 20 の p 側電極 2a と n 側電極 2b との段差 A より小さい場合、あるいは同じ場合にも適用することができる。すなわち、配設基板 30 の第 1 半田膜 4a の傍に溝 45 を形成することにより、はみ出した半田を溝に流し込むことができ、従って、p n 接合部のショートの発生を抑制することができる。

【0050】〔第 3 の実施の形態〕次に、本発明の第 3 の実施の形態について説明する。図 8 は、本実施の形態に係る半導体レーザ素子を示す断面図であり、図 9 は図

8 における I X - I X 線矢視断面図である。本実施の形態では、第 1 半田膜 4a の形状が異なる以外は、第 1 の実施の形態と同様である。以下、第 1 の実施の形態と同一の構成要素には同一の符号を付し、その詳細説明は省略する。なお、図 8 において、レーザチップ 20 における共振方向、すなわち p 側電極 2a の延出方向（紙面に直交する方向）を Y 方向と定義する。また、基体 31 に平行で且つ Y 方向に垂直な方向を X 方向と定義する。

【0051】本実施の形態では、図 9 に示したように、第 1 半田膜 4a の接触面（図中上面）の輪郭線 C1 は、少なくとも X 方向において、p 側電極 2a の接触面（図中下面）の輪郭線 C2 よりも内側に位置している。また、より好ましくは、第 1 半田膜 4a の接触面の面積が、p 側電極 2a の接触面の面積よりも小さくなるよう形成されている。このように構成されているため、レーザチップ 20 と配設基板 30 との貼り合わせの際に第 1 半田膜 4a が外側に向けて変形しても、p 側電極 2a の側端面までは達しにくい。従って、p n 接合部における半田の付着を抑制することができる。

【0052】ここで、本実施の形態の効果の具体例について説明する。p 側電極 2a を図 9 に示したような長方形形状に形成すると共に、その長辺を $700\mu\text{m}$ とし、短辺を $250\mu\text{m}$ とした。一方、第 1 半田膜 4a を図 9 に示したような長方形形状に形成すると共に、その長辺を $680\mu\text{m}$ とし、短辺を $200\mu\text{m}$ とした。また、第 1 半田膜 4a の輪郭線 C1 は、X 方向において p 側電極 2a の輪郭線 C2 よりも内側に位置し、Y 方向において p 側電極 2a の輪郭線 C2 よりも外側に突出するようにした。レーザチップ 20 と配設基板 30 とを貼り合わせ、レーザチップ 20 の p n 接合部分のショートの発生を検査したところ、ショート歩留まりは 98% であった。一方、p 側電極 2a と第 1 半田膜 4a の接触面形状が同じ（いずれも、一辺が $700\mu\text{m}$ で他辺が $250\mu\text{m}$ の長方形）であり、p 側電極 2a の輪郭線と第 1 半田膜 4a の輪郭線とが重なり合っている場合には、ショート歩留まりは 80% であった。すなわち、本実施の形態により、ショート歩留まりが約 1.2 倍に向上することが分かった。

【0053】なお、本実施の形態では、第 1 半田膜 4a の接触面の輪郭線 C1 が、X 方向と Y 方向の両方において、p 側電極 2a の輪郭線 C2 よりも内側に位置するようにしても良い。

【0054】なお、本実施の形態は、配設基板 30 の第 1 半田膜 4a と第 2 半田膜 4b との段差 B が、レーザチップ 20 の p 側電極 2a と n 側電極 2b との段差 A より小さい場合、あるいは同じ場合にも適用することができる。すなわち、半田膜 4a の輪郭線を p 側電極 2a の輪郭線の内側に位置させることにより、半田の p 側電極 2a の外側へのはみ出しを抑制し、これにより p n 接合部のショートの発生を防止することができる。また、本実

施の形態では、第2の実施の形態の溝4.5を配設基板30に形成しても良い。

【0055】以上、いくつかの実施の形態および変形例を挙げて本発明を説明したが、本発明は、これらの実施の形態および変形例に限定されるものではなく、種々の変形が可能である。例えば、本発明は、半導体レーザ素子に限定されるものではなく、発光ダイオード(LED)に適用しても良い。また、半導体発光素子100の構造としては、図1に示したものの他に、種々の構造が可能である。

【0056】

【発明の効果】以上、説明したように、請求項1ないし請求項8記載の製造方法によれば、半導体チップと支持基板とを第1の半田膜および第2の半田膜を介して重ね合わせる際に、第1の電極膜(突出量の多い方の電極膜)に接する第1の半田膜の変形量を、第2の電極膜に接する第2の半田膜の変形量よりも小さくするようにしたので、第1の電極膜側での半田のはみ出しが生じにくくなる。従って、(一般に、第1の電極膜の側に設けられる)pn接合部への半田の付着は生じにくくなり、pn接合部におけるショートを防止することができるという効果を奏する。さらに、pn接合部への半田の付着が生じにくいことから、ビーム形状の変化およびビーム出力の低下を防止することができるという効果を奏する。

【0057】また、請求項2ないし請求項8のいずれか1記載の半導体発光素子の製造方法、または請求項9ないし請求項12のいずれか1記載の配設基板によれば、第1の電極膜と第2の電極膜との段差よりも、第1の半田膜と第2の半田膜との段差が大きくなるようにしたので、半導体チップと配設基板とを重ね合わせる際、まず第2半田膜に第2の電極膜が接し、そののち、第1の半田膜に第1の電極膜が接する。従って、半田のはみ出しは主に第2の電極膜の側で生じ、第1の電極膜の側では生じにくくなる。従って、一般に第1の電極膜側に設けられるpn接合部への半田の付着は生じにくくなり、pn接合部におけるショートを防止することができるという効果を奏する。さらに、pn接合部への半田の付着が生じにくいことから、ビーム形状の変化およびビーム出力の低下を防止することができる。

【0058】さらに、請求項13ないし請求項15のいずれか1に記載の半導体発光素子、または請求項16記載の配設基板によれば、支持体において、第1の半田膜

を挟んで第2の半田膜と反対の側に溝部を形成するようにしたので、仮に第1の半田膜がはみ出したとしても、溝部に流れ込むため、pn接合部への半田の付着が生じにくくなる。従って、半田のはみ出しに伴うpn接合部におけるショート、ビーム形状の変化およびビーム出力の低下を防止することができる。

【0059】また、請求項17記載の半導体発光素子の製造方法では、少なくとも一方向において、第1の半田膜の輪郭線が第1の電極膜の輪郭線よりも内側に位置するようにしたので、第1の半田膜が押圧されても第1の電極膜の輪郭線の外側へのはみ出しが抑制され、従って、半田膜の半導体チップのpn接合部への付着が防止される。従って、半田のはみ出しに伴うpn接合部におけるショート、ビーム形状の変化およびビーム出力の低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体レーザ素子が適用される半導体発光装置の斜視図である。

【図2】図1に示した半導体レーザ素子のレーザチップの構造を表す断面図である。

【図3】図1に示した半導体レーザ素子の配設基板の構造を表す断面図である。

【図4】図1に示した半導体レーザ素子の製造方法を説明するための工程毎の断面図である。

【図5】第1の実施の形態の効果を説明するための特性図である。

【図6】本発明の第2の実施の形態に係る半導体レーザ素子の要部を説明するための断面図である。

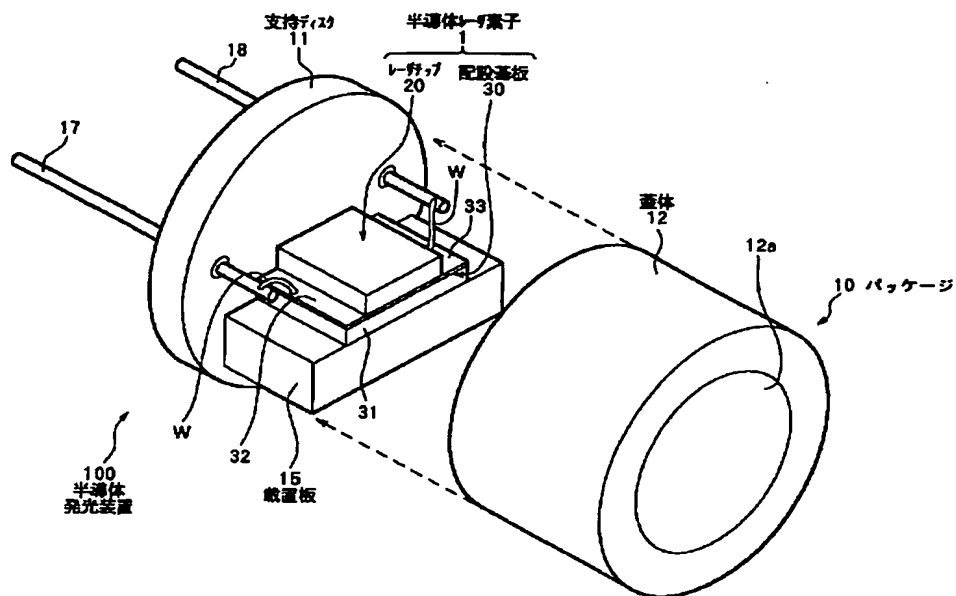
【図7】本発明の第3の実施の形態に係る半導体レーザ素子の要部を説明するための断面図である。

【図8】図7におけるVII-VII矢視断面図である。

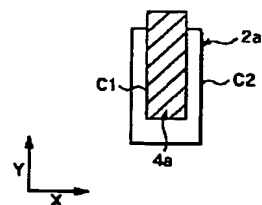
【符号の説明】

1…半導体レーザ素子、2a…p側電極、2b…n側電極、4a…第1の半田膜、4b…第2の半田膜、10…パッケージ、11…支持ディスク、12…円筒部、20、20A、20B、20C…レーザチップ、21…結晶基板、22…n型コンタクト層、23…n型クラッド層、24…活性層、25…p型クラッド層、26…p型コンタクト層、30…配設基板、31、32…リード電極層、45…溝、100…半導体発光装置。

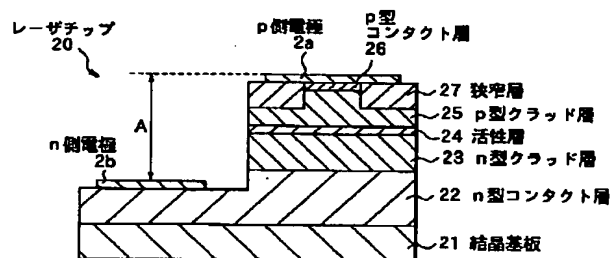
【图 1】



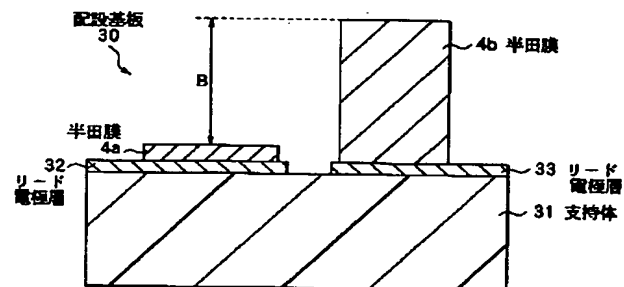
【图 9】



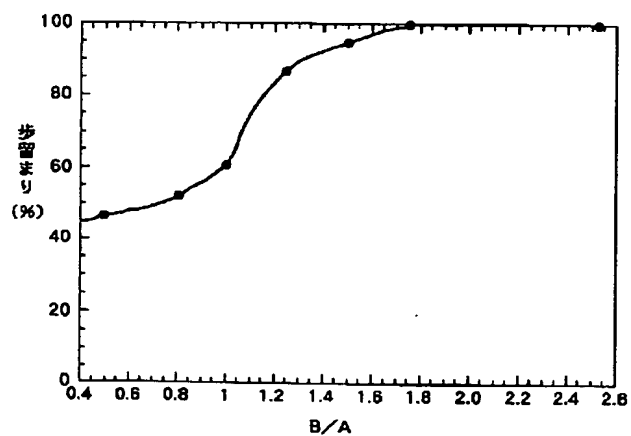
【図 2】



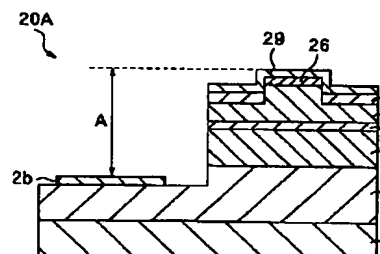
【図 3】



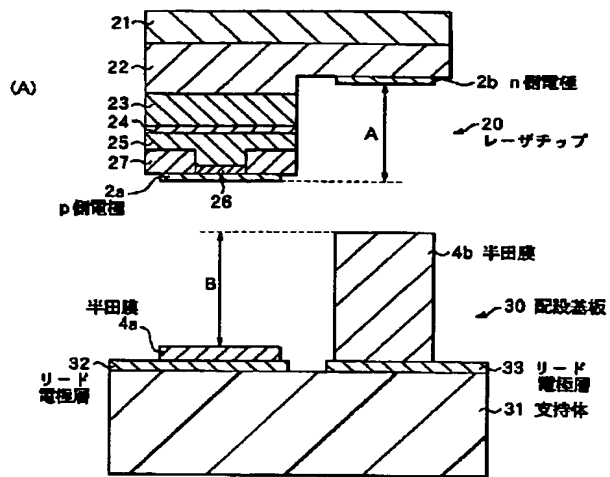
【図 5】



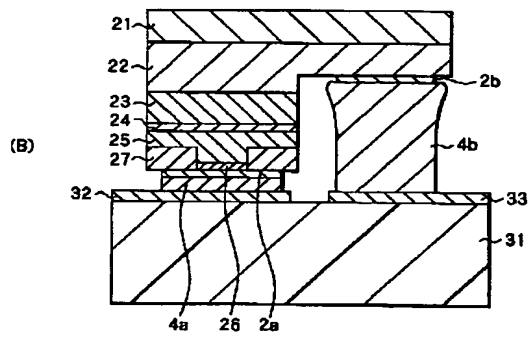
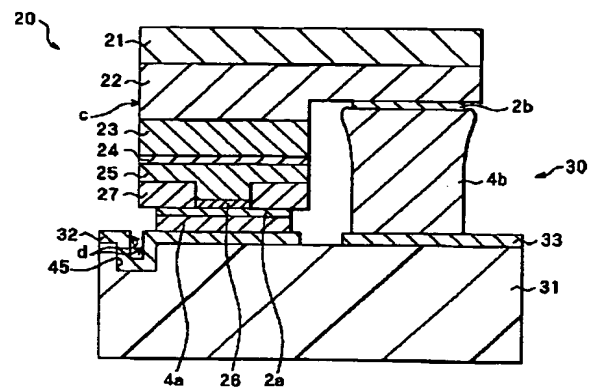
【図 6】



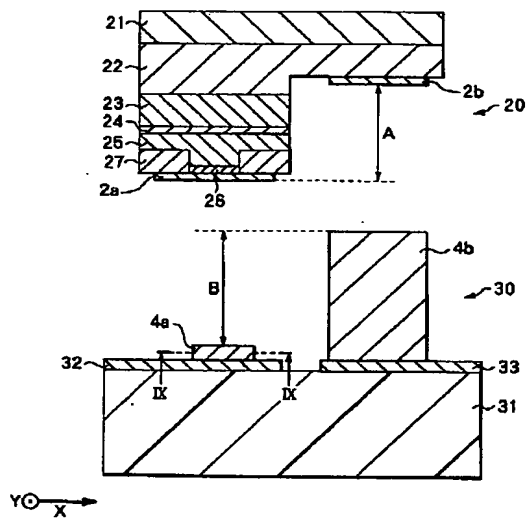
【図 4】



【図 7】



【図 8】



【手続補正書】

【提出日】平成 11 年 12 月 16 日 (1999. 12. 16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の半導体レーザ素子が適用される半導体発光装置の斜視図である。

【図 2】図 1 に示した半導体レーザ素子のレーザチップの構造を表す断面図である。

【図 3】図 1 に示した半導体レーザ素子の配設基板の構造を表す断面図である。

【図 4】図 1 に示した半導体レーザ素子の製造方法を説明するための工程毎の断面図である。

【図 5】第 1 の実施の形態の効果の説明するための特性

図である。

【図 6】第 1 の実施の形態の変形例に係る半導体レーザ素子のレーザチップの構造を表す断面図である。

【図 7】本発明の第 2 の実施の形態に係る半導体レーザ素子の要部を説明するための断面図である。

【図 8】本発明の第 3 の実施の形態に係る半導体レーザ素子の要部を説明するための断面図である。

【図 9】図 8 における I X - I X 矢視断面図である。

【符号の説明】

1 … 半導体レーザ素子、2 a … p 側電極、2 b … n 側電極、4 a … 第 1 の半田膜、4 b … 第 2 の半田膜、10 … パッケージ、11 … 支持ディスク、12 … 円筒部、20, 20 A, 20 B, 20 C … レーザチップ、21 … 結晶基板、22 … n 型コンタクト層、23 … n 型クラッド層、24 … 活性層、25 … p 型クラッド層、26 … p 型コンタクト層、30 … 配設基板、31, 32 … リード電極層、45 … 溝、100 … 半導体発光装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.